

宽带 dither 技术改善 ADC SFDR 性能研究

靳 翔¹, 闫 肃¹, 赵洪明¹, 王兴华¹, 陈铖颖²

(1 北京理工大学 信息与电子学院, 北京 100081;

2 厦门理工学院 光电与通信工程学院, 福建 厦门 361024)

摘 要: Dither 技术是一种提高模数转换器(ADC)动态性能的有效途径. 分析了 dither 技术改善无杂散动态范围(SFDR)的原理, 并在流水线 ADC 中引入宽带大幅度 dither 信号, 从而减小微分非线性(DNL)误差, 并提高动态性能. 仿真结果表明 dither 的加入使得 ADC 的 SFDR 从 56.35 dB 提高到 66 dB, 信噪比(SNR)下降了 1.05 dB.

关键词: 宽带 dither 技术; 流水线 ADC; SFDR

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2018)03-0009-05

Research of Broadband Dither Technology in Pipelined ADC

JIN Xiang¹, YAN Su¹, ZHAO Hong-ming¹, WANG Xing-hua¹, CHEN Cheng-ying²

(1 Beijing Engineering Research Center of Silicon-based High-speed system-on-chip,

School of Information and Electronics, Beijing Institute of Technology, Beijing 100081, China;

2 Smart & Sensing IC and System Lab, School of Opto-Electronic and Communication Engineering,
Xiamen University of Technology, Xiamen 361024, China)

Abstract: Dither technology is an effective method to improve the ADC dynamic performance. The theory of dither technology to improve the SFDR is analyzed, the broadband and large amplitude dither is applied in the pipelined ADC to reduce the DNL error and improve the dynamic performance. The simulation result show that ADC's SFDR improving from 56.35 dB to 66 dB and SNR reducing 1.05 dB.

Key words: broadband dither technology; pipelined ADC; SFDR

1 引言

Dither 技术就是在 ADC 中注入与输入信号无关的噪声扰动, 以期达到改善 SFDR 的目的. Dither 技术最早出现在 20 世纪 40 年代, 应用于机械领域, 直到 20 世纪 90 年代, dither 技术广泛应用于 ADC 中.

根据噪声引入方式不同, 可以将噪声分为加性 dither 和频移 dither^[1]; 根据噪声引入类型不同, 可以分为宽带 dither 和窄带 dither; 根据引入噪声的幅度不同, 可以分为小幅度 dither 和大幅度 dither. 窄带 dither 是在目标频带以外引入噪声, 经过 ADC 后需要通过数字滤波器滤除, 这对滤波器传输函数

的陡峭性要求较高. 而宽带大幅度 dither 技术则是在加入 dither 进行模数转换后, 在数字输出端减去相应幅度的 dither, 在保证输出正确性的同时打破流水线 ADC 量化误差的周期^[2]. 本文主要讨论的是加性、宽带大幅度 dither 在流水线 ADC 中的应用.

2 宽带大幅度 dither

2.1 dither 技术改善 ADC 理想量化误差

由于 ADC 精度的限制, 数据量化的精度不能无穷大, 这意味着系统输入信号会由于 ADC 量化的饱和而截尾, 从而产生不可避免的量化误差^[3]. 我们假设 ADC 量化的输入为 x , 则量化后的信号为 Q

(x),那么量化误差

$$q(x) = x - Q(x) \tag{1}$$

量化步长用 Δ 表示. 如图 1 所示,当输入信号为斜坡信号时,量化误差在 $\pm\Delta/2$ 内均匀分布,但当输入信号为正弦信号时, $q(x)$ 是输入的确定性函数,且由于正弦信号的周期性,量化误差也周期性分布,其周期与输入信号的周期相同.

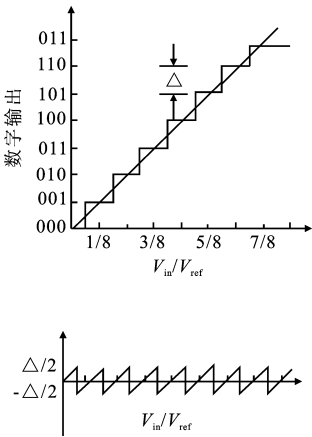
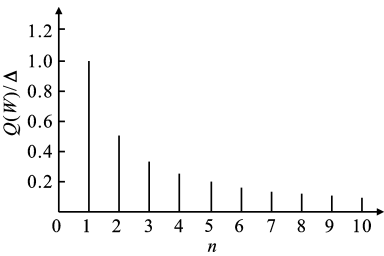


图 1 3 bit 的输入输出特性曲线

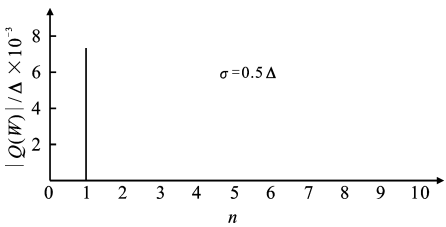
文献[3]对量化误差函数进行傅里叶变换,得到

$$|Q(\omega)| = \sum_{n=1}^{\infty} \frac{\Delta}{n} \delta(\omega - n\omega_0) \tag{2}$$

式中, $\omega_0 = 2\pi/\Delta$. 量化误差的频谱分布如图 2(a) 所示,量化误差的频谱分布并不是均匀分布,而由于其具有与输入信号相同的周期性,从而产生谐波,且随着频率的提高,谐波分量逐渐降低.



(a)未加入 dither



(b)加入 dither

图 2 量化误差频谱图

加入 dither 后量化误差的傅里叶变换为

$$|\overline{Q(\omega)}| = \sum_{n=1}^{\infty} \frac{\Delta}{n} \exp(-2\pi^2 \frac{n^2}{\Delta^2} \sigma^2) \delta(\omega - n\omega_0) \tag{3}$$

式中, σ 为 dither 信号的均方根值,加入 dither 后的量化误差频谱图如图 2(b)所示. 由图 2 得出,引入 dither 后,量化误差的各谐波分量均有较大的减小.

文献[4]表明,当 dither 满足一定条件时,量化系统总误差和系统输入信号统计独立,特别地,带有均匀、独立分布 dither 的量化系统产生的总误差信号,独立于输入信号且均匀分布. 这减小了理想量化误差与输入信号之间的相关性和量化误差引起的谐波.

2.2 宽带 dither 改善相干采样产生的谐波

在实际应用中的任意信号都可以认为是一个或者多个频率成分的正弦信号的叠加,因此信号中总会有某一分量的频率与 ADC 的采样频率形成相干采样. 由于相干采样情况下,采样频率与输入频率存在倍数关系,信号经过 ADC 后产生的量化误差与输入信号周期相同,这将导致较大的谐波分量,大大降低 ADC 的动态范围. 在 ADC 输入中叠加宽带 dither 信号后,由于 dither 信号与输入信号相互独立,且具有随机性,打破量化误差信号的周期性,扰乱采样的相干性,由量化噪声周期性产生的谐波分量将会减少,从而提高 ADC 的 SFDR 性能.

图 3 为相干采样频谱图,其中图(a)为未加入 dither,图(b)为加入 dither 后的频谱图. 由图看出,相干采样产生了更大的谐波,导致 ADC 的 SFDR 恶化. 而在输入信号频率不变的情况下,dither 的加入降低了谐波,使得 ADC 的 SFDR 改善了 2.52 dB.

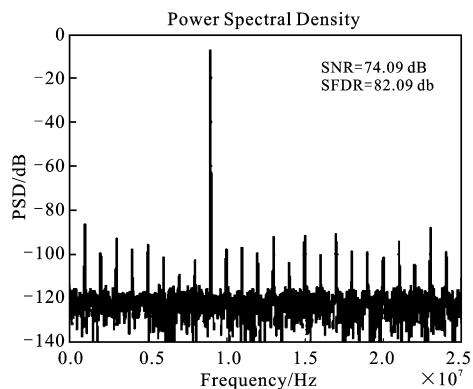
2.3 宽带 dither 改善电路失配产生的谐波

2.3.1 比较器失配

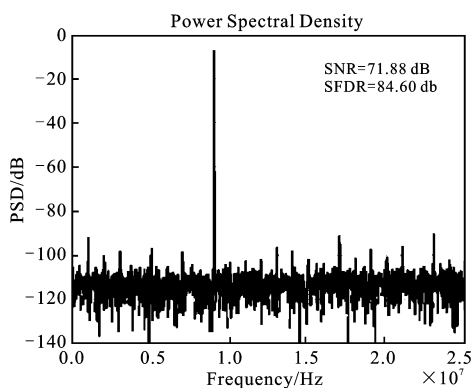
理论上,差分比较器电路各个器件的分布应该完全对称且匹配的. 但在实际应用中,首先在电路版图设计中会存在人为设计引入的不对称,其次在工艺制造中工艺偏差也会造成对称轴两端的器件不匹配,使得差分比较器成为非对称结构,从而引入失调误差. 即当输入差模电平为 0 时,测量到的输出差模电平不等于 0. 比较器的输入失调电压直接叠加在输入端,造成比较器翻转点的偏移,对 ADC 转换性能影响较大. 如图 4(a)、(b)所示,第一级 sub-ADC 一个比较器失调超过 $\pm V_{ref}/8$ 时,对 ADC 整体转换特性的影响,从图中看出会造成宽码和失码[5].

2.3.2 电容失配

随着半导体技术的发展,工艺特征尺寸不断缩

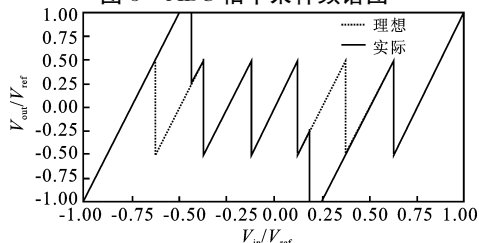


(a)无 dither

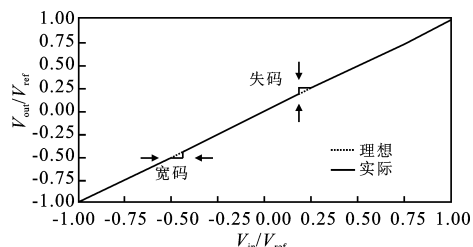


(b)有 dither

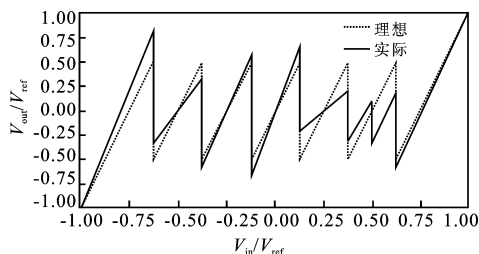
图3 ADC 相干采样频谱图



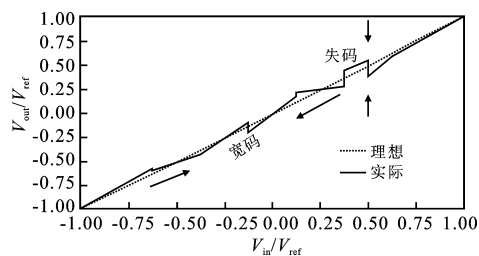
(a)存在比较器失配的 ADC 第一级传输曲线



(b)存在比较器失配的 ADC 整体传输曲线



(c)存在电容失配的 ADC 第一级传输曲线



(d)存在电容失配的 ADC 整体传输曲线

图4 失调对 ADC 传输特性的影响

小,电容失配对 ADC 性能的影响日益显著^[6]. 以 1.5 bit 流水级为例,暂不考虑其他非理想因素的影响条件下,假设 $C_1 = C_2 + \Delta C$, 则

$$\frac{C_1}{C_2} = \frac{C_2 + \Delta C}{C_2} = 1 + \frac{\Delta C}{C_2} \quad (4)$$

在放大模式时,信号完全建立后, V_{out} 的表达式为

$$V_{out} = \begin{cases} (2 + \frac{\Delta C}{C_2})V_{in} - (1 + \frac{\Delta C}{C_2})V_{ref} & (V_{in} > \frac{1}{4}V_{ref}) \\ (2 + \frac{\Delta C}{C_2})V_{in} & (-\frac{1}{4}V_{ref} < V_{in} < \frac{1}{4}V_{ref}) \\ (2 + \frac{\Delta C}{C_2})V_{in} + (1 + \frac{\Delta C}{C_2})V_{ref} & (V_{in} < -\frac{1}{4}V_{ref}) \end{cases} \quad (5)$$

由式(5)可见,电容失配在引入级间增益误差的同时,也会引入 sub-DAC 参考电路失调,这一失调是 sub-DAC 数字输入的非线性函数^[7]. 图 4(c)、(d)是在有电容失配情况下的 2.5 bit 流水级传输曲线,这种误差会造成宽码和失码,影响 ADC 的 INL 和 DNL 特性.

2.3.3 dither 技术改善静态特性造成的谐波

由上文的讨论可知,比较器失配和电容失配会恶化 ADC 的 INL 和 DNL 等静态线性度,由此造成某一点 DNL 特性较差,从而影响 ADC 的动态性能. 为说明原因,式(6)给出了 ADC 的输入为正弦函数时,任意转换器代码出现的概率.

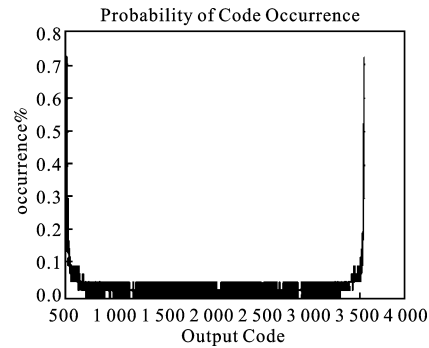
$$P(I_{th}code) = \frac{1}{\pi} \left\{ \sin^{-1} \left[\frac{V(I - 2^{N-1})}{A2^N} \right] - \sin^{-1} \left[\frac{V(I - 1 - 2^{N-1})}{A2^N} \right] \right\} \quad (6)$$

式中, V 是 ADC 满量程输入的幅度, N 是 ADC 的位数, I 是当前的代码, A 是当前输入信号的幅度. 对于一个满量程信号应用此公式,可以得出满量程代码出现的概率比中间代码出现的概率大 60 多倍. 在采样过程中,对信号满量程处信号采样的

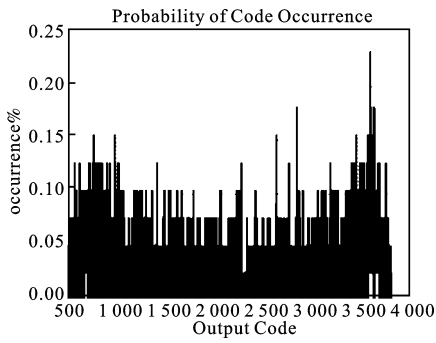
概率大于在幅度为零处采样的概率. 若有较大 DNL 误差的点发生在输入信号满幅度处, 则该点的重复出现将会使得 DNL 误差重复出现, 从而造成电路动态线性度 SFDR 的降低. dither 力图消除的正是这种影响. 在 ADC 电路中引入 dither, 对输入信号码密度有较大的改变, 使得各个代码出现的概率随机化, 这样由 ADC 的 DNL 引起的失真会明显减小.

3 仿真验证结果

大幅度 dither 可以提高 ADC 的无杂散动态范围是由于输入信号随机化破坏了原本码字的分布规律, 使得码字分布更加均匀. 图 5 为正弦信号通过 ADC 的码字分布情况. 图 5(a)为 ADC 满量程为 200 mV, 正弦信号输入幅度为 150 mV, 未加入 dither 的码字分布图, (b)为同情况下加入 24 mV dither 后的码字分布图.



(a)未加入 dither



(b)加入 24m dither

图 5 码字分布图

从图 5 中可以看出, 加入 dither 后码字的分布更加均匀, 从而消除部分错误码字出现概率较高时出现的积累效应.

本文通过 cadence spectre 仿真平台对加入 dither 的 ADC 进行仿真. 其中目标 ADC 是在 ca-

dence 环境下, 采用 TSMC90nm 工艺的 12 bit 流水线 ADC. 电路结构如图 6 所示.

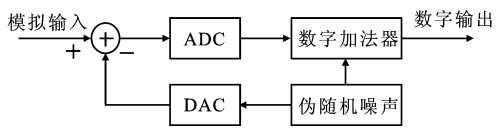
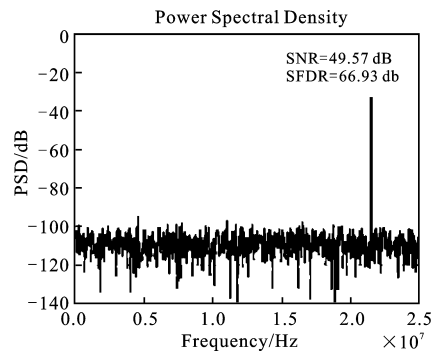
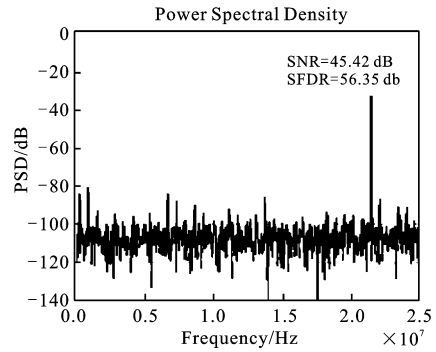


图 6 电路结构图

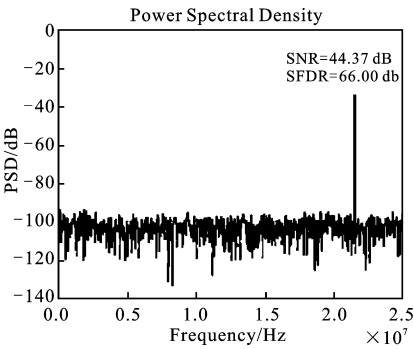
如图 7 是输入频率为 21.475 MHz, 幅度为 11.247 mV 时 ADC 的输出频谱特性, 从图 7(b)中可以看出在引入失配以后, ADC 的 SNR 和 SFDR 同时恶化, 而加入幅度为 24 mV 的 dither 以后的频谱图如图 7(c)所示, 在 SNR 减小了 1.05 dB 的情况下, SFDR 提高了 9.65 dB, 有效改善了 ADC 的动态范围. 图 7(d)给出了输入频率为 21.475 M, 加入幅度为 24 mV 的 dither 后, SFDR 特性与输入幅度的关系曲线, 可以看出, 信号输入幅度从 -5 dBFS 到 -45 dBFS, 加入 dither 后均有一定的改善, 特别地, 在 -35 dBFS 处, SFDR 提高了 10.32 dB. 图 7(e)是在输入频率为 21.475 M, 输入信号幅度为 35 mV 情况下的 SFDR 特性与加入 dither 幅度关系曲线, 从图中可知, 随着加入 dither 的幅度的增大, SFDR 的改善效果逐渐增大.



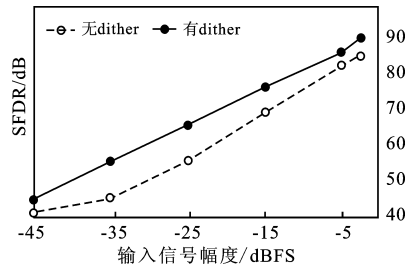
(a)未加入失配未加入 dither



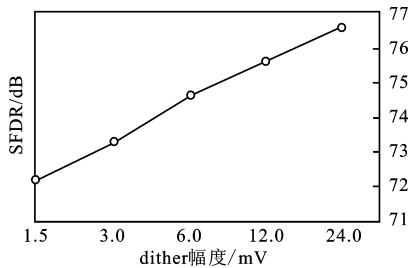
(b)加入失配未加入 dither



(c)加入失配加入 dither



(d)SFDR 与输入信号幅度的关系



(e)SFDR 与 dither 幅度的关系

图 7 ADC 频谱图

4 结束语

本文研究了宽带 dither 技术对 ADC 的 SFDR 性能的影响,从理论上分析了 dither 对 ADC 动态线性度的改善,并在 cadence 环境下进行了 12bit 流水线 ADC 的电路仿真,在输入信号中加入 dither,在 ADC 的输出端减去 dither 后,对其进行 FFT 频谱分析得到 ADC 的 SFDR。仿真结果表明,宽带

Dither 技术能够有效提高 ADC 的动态性能。

参考文献:

[1] Kikkert C J, Bigdeli A. Frequency shift dither for analogue to digital converters [C] // Fifth International Symposium on Signal Processing and its Applications, Seoul, Korea, 1999:729-732.

[2] 陈小猛,张羽中,艾宪芸,等. 数字多通道脉冲幅度分析器中数字 Dither 加入方法[J]. 核技术,2015,38(5): 47-52.

[3] Kikkert C J, Bigdeli A. Hardware additive dither for analogue to digital converters [C] // 14th Australian Microelectronics Conference, Australian,1997, 43(1): 156-161.

[4] Robert A Wannamaker, Stanley P Lipshitz, John Vanderkooy, et al. A theory of nonsubtractive dither [J]. Signal Processing IEEE Transactions on, 2000, 48 (2) :499-516.

[5] Quinn P J, Van Roermund A H M. Accuracy limitations of pipelined ADCs[J]. IEEE International Symposium on Circuits and Systems, 2005(3):1956-1959.

[6] 丁洋,王宗民,周亮,等. 一种用于 16 位流水线 ADC 的多比特子 DAC 电容失配校准方法[J]. 微电子学与计算机,2012,29(6):172-176.

[7] Yun Chiu, Paul R Gray, Borivojc Nikolic. A 14b 12MS/s CMOS pipeline ADC with over 100 dB SFDR [J]. IEEE Journal of Solid-State Circuits, 2004, 39 (12):2139-2151.

作者简介:

靳翔女,(1993-),硕士. 研究方向为流水线 ADC 设计.

闫肃男,(1978-),硕士,工程师. 研究方向为模拟集成电路.

赵洪明女,(1992-),硕士. 研究方向为流水线 ADC 设计.

王兴华(通信作者)女,(1983-),博士,讲师. 研究方向为模拟集成电路. E-mail: wxinghuad@126.com.

陈铖颖男,(1982-),博士,副研究员. 研究方向为模拟/混合信号集成电路设计.

(上接第 8 页)

作者简介:

何海鲜女,(1993-),硕士研究生. 研究方向为软件工程、软

件测试、人工智能. E-mail:931326653@qq.com.

冯静女,(1971-),博士,副教授,研究生导师. 研究方向为数据挖掘、嵌入式研发、人工智能.